

基本信息

姓名：刘晨 出生年月：2000.11
民族：汉族 性别：男
电话：19141961570 (微信同号) 政治面貌：中共党员
邮箱：liuchen0679@163.com 现居城市：四川成都



教育经历

电子科技大学 (推免硕士研究生) 专业：集成电路科学与工程 2023.09~2026.06
GPA: 3.99/4.00 加权平均成绩: 90.09/100
相关专业成绩: 模拟集成电路分析与设计: 93/100 集成电路可测性分析: 98.5/100 半导体器件物理: 90/100
电子科技大学 (本科) 专业：集成电路设计与集成系统 2019.09~2023.06
GPA: 3.93/4.00 加权平均成绩: 92.27/100 年级排名: 10/158
相关专业成绩: 模拟集成电路原理: 95/100 微电子器件: 100/100 数字集成电路原理: 95/100

部分荣誉奖项

硕士研究生阶段	本科阶段
士兰微电子奖学金 2024~2025 年度	国家奖学金 2021~2022 年度
研究生学业奖学金一等 2024~2025 年度	陈星弼·科道芯国奖学金一等 2022 年 5 月
研究生入学奖学金一等 2023~2024 年度	第十三届全国大学生数学竞赛一等奖 2021 年 12 月
	优秀学生奖学金一等 (三次) 2019~2022 三学年

实习经历

上海伏达半导体有限公司 岗位/部门：模拟设计工程师/IC 设计研发部 2022.02~2022.08

- 参与公司电源管理芯片 Denver 项目研发、验证，主要负责 verilogA/verilog-AMS 建模以及 AMS 混仿验证
- 通过仿真结果分析，排查数字代码、模拟电路问题若干，所作贡献获得主管、同事认可

项目经历

- 一款基于 TSMC 28nm 工艺的 1GS/s 12bits 分辨率的 Pipeline TI-SAR ADC 设计 2024.11~2025.06
 - 参与 ADC 顶层架构设计，综合调研分析并明确设计指标
 - 负责 stage1 3bits SAR ADC 电路设计和前后仿优化，PVT 下后仿 ENOB>2.9bits
 - 负责 stage1 SAR DAS (detect and skip) 功能实现，大 CDAC 上信号 SFDR>85dB
 - 负责级间放大器设计，在 tt corner 下后仿功耗<4mW，放大时间 600ps 下 SFDR>80dB
 - 负责 stage2 两通道 10bits SAR 电路设计和前后仿优化，PVT 下后仿 ENOB>9bits
 - 负责 ADC 时钟电路设计，在 PVT 下后仿满足时序关系要求
 - 负责顶层电路仿真优化，tt corner 顶层前仿，ADC 输出等效到输入 ENOB 约 11.7bits, SFDR 约 79dB; tt corner 顶层后仿，ADC 输出等效到输入 ENOB 约 10.3bits, SFDR 约 73dB, 已投片
- 一款基于 TSMC 28nm 工艺的 2GS/s 12bits 分辨率的预采样 Pipeline ADC 设计 2024.03~2024.11
 - 负责 2~4 级 MDAC 设计和前后仿优化，tt typical 下 2~4 级 MDAC SFDR 均大于 80dB
 - 负责 sub-flash 设计，所设计的开关电容比较器 (单个) tt corner 下后仿功耗 330uW, delay 43.5ps, offset 5.3mV
- 一款基于华力 90nm 工艺的传统两级运放设计 2021.10~2021.12
 - 完成两级运放及带隙基准设计，运放后仿低频增益约 90dB，GBW 约 59MHz，相位裕度约 70°，完成流片

专业技能&其他工作

- 熟练掌握 cadence 软件的使用，熟练掌握 matlab、verilog、verilogA 语言的使用；熟练掌握 Pipeline-SAR ADC、SAR ADC、运放等电路设计与验证流程；熟悉模拟版图设计并熟练掌握后仿验证流程；
- 曾任学生工作：2019340101 班班长、校学生社团联合会外联部副部长、本科集电党支部组织委员
- 两篇专利受理 (学生第二发明人)